

8. W1322-02

COMPOUND SEMICONDUCTOR EPITAXIAL WAFER

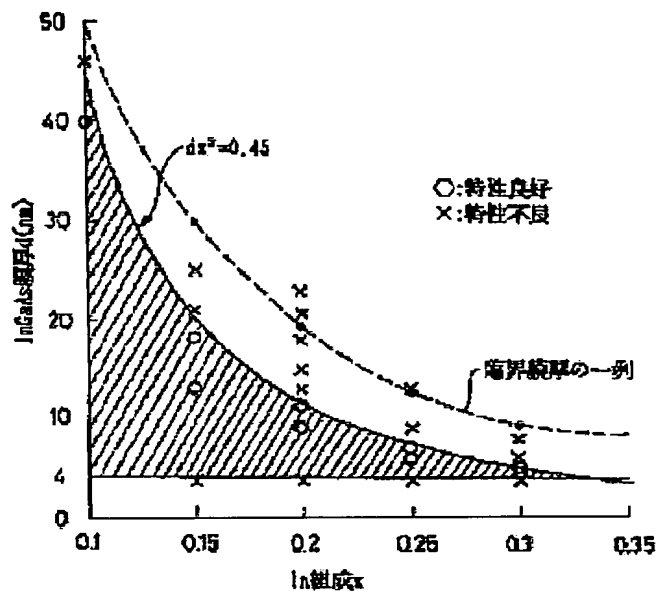
Patent number: JP6021106
Publication date: 1994-01-28
Inventor: TSUCHIYA TADAITSU; others: 02
Applicant: HITACHI CABLE LTD
Classification:
- international: H01L21/338; H01L29/812; H01L21/02
- european:
Application number: JP19920175529 19920702
Priority number(s):

Report a data error here

Abstract of JP6021106

PURPOSE: To improve the characteristics of a pseudomorphic HEMT by rationalizing the thickness of an InGaAs film, which is to become a carrier running layer.

CONSTITUTION: An epitaxial wafer has the structure of an n-type AlGaAs/ InGaAs/GaAs-based pseudomorphic HEMT. When the In composition (b) of an InGaAs layer, which is bonded under the pseudomorphic state between GaAs layers is made to be (x), it is necessary that an InGaAs film thickness (d) (nm) for making the characteristics of the HEMT excellent satisfies $4 < d \leq 0.45/x < 2$ (provided that $0.1 \leq x < 0.35$). The range of the film thickness is thinner than a critical film thickness and has a margin. Therefore, the number of growing times of epitaxial layers for checking the critical film thickness can be greatly decreased, and the time, raw materials and energy for InGaAs growing can be saved.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-21106

(43) 公開日 平成6年(1994)1月28日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338 29/812 21/02	B	7376-4M	H 0 1 L 29/80	H

審査請求 未請求 請求項の数3(全5頁)

(21) 出願番号 特願平4-175529

(22) 出願日 平成4年(1992)7月2日

(71) 出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72) 発明者 土屋 忠蔵

茨城県土浦市木田余町3550番地 日立電線
株式会社アドバンスリサーチセンタ内

(72) 発明者 永井 久隆

茨城県土浦市木田余町3550番地 日立電線
株式会社アドバンスリサーチセンタ内

(72) 発明者 坂口 春典

茨城県土浦市木田余町3550番地 日立電線
株式会社アドバンスリサーチセンタ内

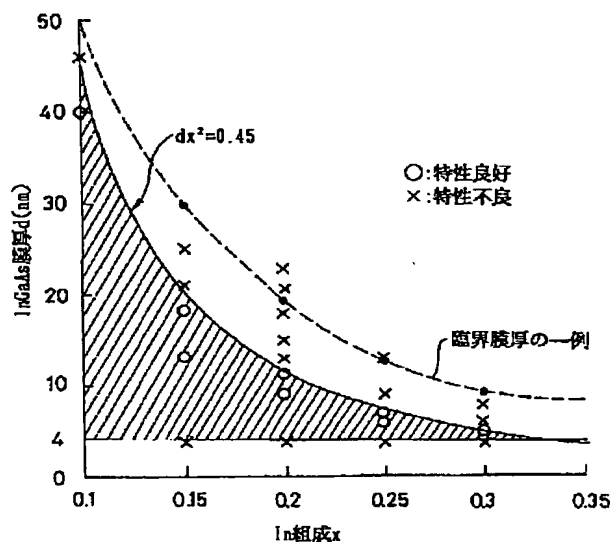
(74) 代理人 弁理士 松本 孝

(54) 【発明の名称】 化合物半導体エピタキシャルウェハ

(57) 【要約】

【目的】 キャリア走行層となる InGaAs 膜厚を適正化することによりシュドモフィック HEMT の特性を大幅に向上させる。

【構成】 エピタキシャルウェハは、n 型 AlGaAs / InGaAs / GaAs 系シュドモフィック HEMT 構造をしている。GaAs 層との間でシュドモフィック状態で接合している InGaAs 層の In 組成を x とすると、HEMT 特性を良好にする InGaAs 膜厚 d (nm) は、 $4 < d \leq 0.45/x^2$ (ただし、 $0.1 \leq x < 0.35$) を満足する必要がある。この膜厚範囲は臨界膜厚よりも薄く余裕があるため、臨界膜厚チェックのためのエピタキシャル成長回数的大幅な削減が図れ、InGaAs 成長に要する時間、原料、エネルギーの節約が図れる。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】半絶縁性GaAs基板上にGaAsバッファ層を設け、その上にシュードモフィック状態でInGaAsキャリア走行層を設け、その上にキャリア供給層が設けられているシュードモフィックHEMT構造を有する化合物半導体エピタキシャルウェハにおいて、上記InGaAsキャリア走行層のIn組成をxとしたとき、その膜厚d (nm) が次式

$$4 < d \leq 0.45/x^2$$

ただし、 $0.1 \leq x < 0.35$ を満足することを特徴とする化合物半導体エピタキシャルウェハ。

【請求項2】上記キャリア供給層がn型AlGaAsで構成されている請求項1に記載の化合物半導体エピタキシャルウェハ。

【請求項3】InP基板上にInAlAsバッファ層を設け、その上にInGaAsキャリア走行層を設け、さらにその上にn型InAlAsキャリア供給層が設けられているInP系シュードモフィックHEMT構造を有する化合物半導体エピタキシャルウェハにおいて、上記InGaAsキャリア走行層のIn組成をxとしたとき、その膜厚d (nm) が次式

$$4 < d \leq 0.45/(x-0.53)^2$$

ただし、 $0.63 \leq x < 0.88$ を満足することを特徴とする化合物半導体エピタキシャルウェハ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はシュードモフィックHEMT構造ないしInP系シュードモフィックHEMT構造を有する化合物半導体エピタキシャルウェハに係り、特にHEMTの特性改善のための素子構造に関する。

【0002】

【従来の技術】シュードモフィックHEMT (Pseudo morphic 高電子移動度トランジスタ) と呼ばれるHEMTが知られている。シュードモフィックは、GaAsとInGaAsというように格子定数が異なる2種類の半導体接合に対して使用される語である。成長膜厚が臨界膜厚より薄い場合、格子定数が異なっても格子が歪むことによって界面に転位が生じない綺麗な接合が得られる。格子が歪んで界面で格子欠陥が生じないような状態をシュードモフィック状態と呼ぶ。

【0003】このようなシュードモフィックHEMT構造の化合物半導体エピタキシャルウェハの基本構造は、図2のようにになっている。半絶縁性GaAs基板21上に膜厚0.5~1.0μmのアンドープGaAsバッファ層22を設け、その上にシュードモフィック状態でアンドープInGaAsキャリア走行層23を設け、さらにその上に膜厚0~2nmのアンドープAlGaAsスペーサ層24を介して膜厚30~50nmのn型AlGaAsキャリア供給層25を設けている。チャネルとなる2次元電子ガスは、アンドープInGaAsキャリア

2

走行層23中に溜まる。In組成が高いほどキャリア走行層23に溜まる電子の濃度が増すため、増幅率が高く雑音特性のよいHEMTデバイスが製作できる。

【0004】InGaAsキャリア走行層23はGaAsバッファ層22と格子定数が異なるため、既述したようにGaAsバッファ層22上への成長では大きく歪んだ結晶となり、シュードモフィック状態で接合している。そのため臨界膜厚と呼ばれる、ある一定の膜厚を超えるとInGaAsキャリア走行層23中に転位が発生し、歪みが緩和してしまうことになる。転位が発生し、歪が緩和してしまうとHEMTとして必要なキャリア濃度が得られない。そこでシュードモフィックHEMT構造のエピタキシャルウェハの製作では、InGaAsキャリア走行層23の膜厚を臨界膜厚以下で制御する必要がある。

【0005】ところで、従来のシュードモフィックHEMT構造のエピタキシャルウェハでは、InGaAsの膜厚は臨界膜厚を超えなければ、厚いほど良いとされてきた。臨界膜厚はIn組成によって、数Å~数千Å (0.1nm~数百nm) と大きく変る。臨界膜厚の典型的な値は成長条件により多少のバラツキはあるがIn組成0.1で50~100nm、0.15で30~50nm、0.2で20~30nm、0.25で約12nm、0.3で約10nmとされている (図1参照)。従って、シュードモフィックHEMTのInGaAs膜厚もこれに近い値を用いるのが通例である。

【0006】

【発明が解決しようとする課題】しかし、臨界膜厚を超えない範囲でこれに近い厚い膜厚のInGaAsキャリア走行層を形成していた上述の従来技術では、次のような欠点があった。

【0007】(1) InGaAs膜厚は臨界膜厚に近い場合、その成長条件における臨界膜厚を正確に把握しておく必要がある。臨界膜厚を超えて厚く成長すると、膜中に転位が入ってしまい、歪は緩和して元の格子定数に戻ろうとする。こうなると、界面付近での電気的特性、光学特性が極端に劣化してしまい、その界面を使うようなデバイスは満足な特性が得られないことになるからである。したがって、InGaAs層のエピタキシャル成長時には、臨界膜厚チェックのためにエピタキシャル成長回数が増大する。

【0008】(2) InGaAs膜厚が厚いため、InGaAs成長に要する時間、原料、エネルギーがかかる。

【0009】(3) シュードモフィックHEMT構造を有するエピタキシャルウェハの電気的特性に対するInGaAs膜厚の影響を詳細に検討した例が、これまでになかった。このため、臨界膜厚を超えなければ厚いほど良いとされてきたこれまでの見解の正否が不明であった。

【0010】なお、これらの欠点はInP系シュードモ

フィックHEMT構造のエピタキシャルについても共通する。

【0011】本発明の目的は、前記の欠点を解消し、シュードモフィックHEMT構造ないしInP系シュードモフィックHEMT構造の特性を大幅に向上させる新規な化合物半導体エピタキシャルウェハを提供することにある。

【0012】

$$4 < d \leq 0.45 / x^2$$

ただし、 $0.1 \leq x < 0.35$ を満足するようにしたものである。この場合、キャリア供給層はキャリア走行層と格子定数が同じn型AlGaAsで構成されていることが好ましいが、n型InGaPでもよい。重要な点はGaAs基板と格子定数が一致することである。

【0013】膜厚は4nmより厚い必要があるとしたのは、膜厚が4nm以下ではシートキャリア濃度 n_s 、電子移動度 μ とも大幅に減少してしまうからである。また、膜厚を $0.45/x^2$ 以下としたのは、これよりも大きいシートキャリア濃度 n_s と電子移動度 μ が低くなり、特性不良のHEMTとなるからである。

【0014】本発明は、上述したn型AlGaAs/InGaAs/GaAs系シュードモフィックHEMT構造のエピタキシャルウェハの他に、n型InAlAs/InGaAs/InAlAs/InP基板構造をもつInP系シュードモフィックHEMT構造のエピタキシャ※

$$4 < d \leq 0.45 / (x - 0.53)^2$$

ただし、 $0.63 \leq x < 0.88$

【0016】

【作用】 $4 < d \leq 0.45/x^2$ を満足するInGaAsキャリア走行層の膜厚は、臨界膜厚より大幅に薄くなる。したがって、InGaAsキャリア走行層の成長時、臨界膜厚を超えてしまう危険性が低減するため、キャリア走行層の成長条件における臨界膜厚の把握に正確が必要なくなる。また、臨界膜厚より大幅に薄い膜でよいので、単に臨界膜厚を超えてしまう危険性が低減しただけでなく、むしろ量子効果、すなわちキャリアのInGaAs量子井戸への閉じ込め効果を積極的に利用することにより、HEMTの特性を大幅に向上させることができる。

【0017】

【実施例】以下、本発明の化合物半導体エピタキシャルウェハを、n型AlGaAs/InGaAs/GaAs系シュードモフィックHEMT構造に適用した実施例について説明する。図3にシュードモフィックHEMT構造のエピタキシャルウェハ構造を示すが、本実施例ではそのInGaAsの膜厚を種々変えて(0~24 μ m)作製した。なお、エピタキシャル成長させる手段として、原子レベルで微細な成長制御の可能なMOVPE(有機金属気相エピタキシー)法を採用した。

【0018】半絶縁性GaAs基板31上に膜厚0.5

*【課題を解決するための手段】本発明の化合物半導体エピタキシャルウェハは、GaAsバッファ層上にシュードモフィック状態でInGaAsキャリア走行層を設け、その上にキャリア供給層が設けられているシュードモフィックHEMT構造を有する化合物半導体エピタキシャルウェハにおいて、InGaAsキャリア走行層のIn組成をxとしたとき、その膜厚d(nm)が次式

(1)

10※ルウェハにも適用できる。ここで、InP系シュードモフィックHEMTは、InP基板上にInAlAsバッファ層を設け、その上にInGaAsキャリア走行層を設け、さらにその上にn型InAlAsキャリア供給層が設けられている。上記InAlAsはInPに格子整合するが、InGaAsはInPに格子整合しない。そのため、InAlAs/InGaAsシュードモフィックHEMTあるいはInP系歪InGaAsHEMTとも呼ばれるべきものである。本発明はこのようなInP系シュードモフィックHEMTにおけるInGaAsのIn組成を、InPに格子整合する組成0.53より大きくすることにより、より一層の特性向上を狙うようにしたものである。従って、InGaAsキャリア走行層のIn組成をxとしたとき、その膜厚d(nm)が下式を満足するようにしたものである。

【0015】

(2)

μ mのアンドープGaAsバッファ層32を設け、その上にシュードモフィック状態でアンドープInGaAsキャリア走行層33を設け、その膜厚をパラメータとする。パラメータとするキャリア走行層33の膜厚は、0.4、8、11、13、15、18、21、24nmの9種類とした。このキャリア走行層33のIn組成はいずれも0.2とした。その上に膜厚2nmのアンドープAlGaAsスペーサ層34を設け、さらにその上に膜厚40nmのn型AlGaAsキャリア供給層35を設けている。このキャリア供給層35のAl組成は0.3とした。

【0019】なお、キャリア走行層33とキャリア供給層35との間に設けたスペーサ層34は、キャリア供給層35からのクーロン散乱を抑え、電子移動度を向上するために必要に応じて挿入するものであり、HEMTとして動作上必須のものではない。

【0020】上述のように作製したエピタキシャルウェハを常温(300K)と77Kにてホール測定法により電子移動度とシートキャリア濃度とを測った結果を図4に示す。InGaAsキャリア走行層33の膜厚が8~18nmの範囲では、シートキャリア濃度 n_s がほぼ一定で、しかも膜厚が薄いほど電子移動度 μ が増加することが分かった。シートキャリア濃度 n_s と電子移動度 μ が高いほど、特性の良いHEMTとなるから、InGa

Asキャリア走行層33の膜厚は厚くするよりも、むしろ薄い方がよい。膜厚を決めるに当り、 μ の測定では通常1割程度の誤差が認められるため、 μ を77Kでの最大値 μ_{max} に対して $\mu > \mu_{max} \times 0.9$ であれば良好であると判断すると、特性の良いHEMTのInGaAsキャリア走行層33の膜厚は11nm以下となる。また膜厚4nmでは、 n_s 、 μ とも大幅に減少してしまうため、膜厚は4nmより厚い必要がある。

【0021】図1は、その他のIn組成($x=0.2$ 以外)について、上記と同様の検討を行った結果を一緒にグラフ化したものである。各種のIn組成 x におけるInGaAsサンプル厚 d (nm)の種類は次の通りである。 $x=0.1$: $d=40, 46$, $x=0.15$: $d=4, 13, 18, 21, 25$, $x=0.25$: $d=4, 5, 6, 8, 13$, $x=0.3$: $d=4, 5, 6, 8$ 。図中、○印は良好、×印は不良であることを示す。これより $d \times x^2 \leq 0.45$ であれば良好であることが分かる。また d の下限はいずれも4nmであった。

【0022】以上述べたように本実施例によれば、シュードモフィックHEMT構造を有するエピタキシャルウェハの電気的特性に対するInGaAs膜厚の影響を詳細に検討して、電子移動度及びシートキャリア濃度が増加する最適なInGaAs層の厚さを見出したので、その層厚範囲を満足するようなn型AlGaAs/InGaAs/GaAs系シュードモフィックHEMT構造のエピタキシャルウェハを作製することによって、HEMTデバイスの増幅率の向上、雑音特性の改善を図ることができる。

【0023】また、上記層厚は臨界膜厚まで十分余裕があるので、AlGaAs層のエピタキシャル成長時に、臨界膜厚チェックのためのエピタキシャル成長回数的大幅な削減が図れ、しかも膜厚が薄くてよいので、InGaAs成長に要する時間、原料、エネルギーの節約も図れる。

【0024】なお、n型InAlAs/InGaAs/InAlAs/InP基板構造のHEMT、すなわちInP系シュードモフィックHEMTの場合も上記実施例

と同じ結果が得られた。それを図5に示す。

【0025】..

【発明の効果】本発明によれば次の効果がある。

【0026】(1)請求項1に記載の化合物半導体エピタキシャルウェハによれば、HEMTデバイスの増幅率の向上、雑音特性の改善を図ることができる。

【0027】(2)請求項2又は3に記載の化合物半導体エピタキシャルウェハによれば、n型AlGaAs/InGaAs/GaAs系シュードモフィックHEMT又はn型InAlAs/InGaAs/InAlAs/InP系格子整合HEMTデバイスの増幅率の向上、雑音特性の改善を図ることができる。

【図面の簡単な説明】

【図1】本発明に係るIn組成を種々に変えた時に、良好なシュードモフィックHEMT構造のエピタキシャルウェハが作製できるInGaAs(キャリア走行層)膜厚を示した特性図。

【図2】従来例によるシュードモフィックHEMT構造のエピタキシャルウェハの基本的な断面構造図。

【図3】本実施例による試作したシュードモフィックHEMT構造のエピタキシャルウェハの断面構造図。

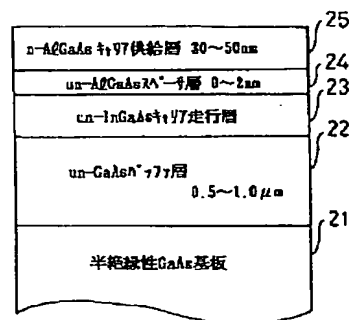
【図4】InGaAs膜厚(In組成0.2)を変えたときのシュードモフィックHEMT構造のエピタキシャルウェハの電子移動度の変化を示した特性図、及びシートキャリア濃度の変化を示した特性図。

【図5】本発明に係るIn組成を種々に変えた時に、n型InAlAs/InGaAs/InAlAs/InP系格子整合HEMT構造のエピタキシャルウェハが作製できるInGaAs(キャリア走行層)膜厚を示した特性図。

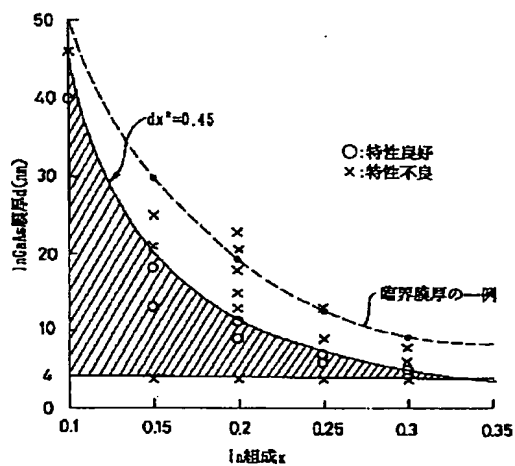
【符号の説明】

- 31 半絶縁性GaAs基板
- 32 アンダーブGaAsバッファ層
- 33 アンダーブInGaAsキャリア走行層
- 34 アンダーブAlGaAsスペーサ層
- 35 n型AlGaAsキャリア供給層

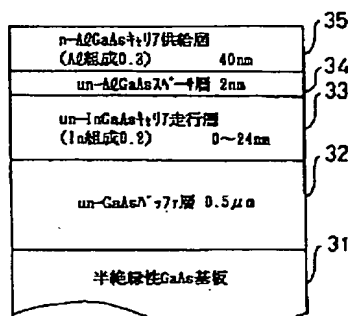
【図2】



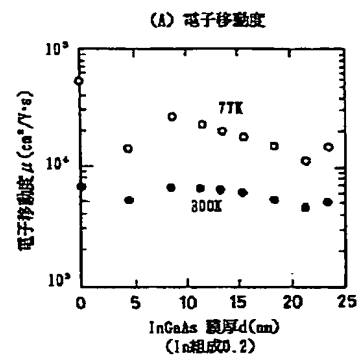
【図1】



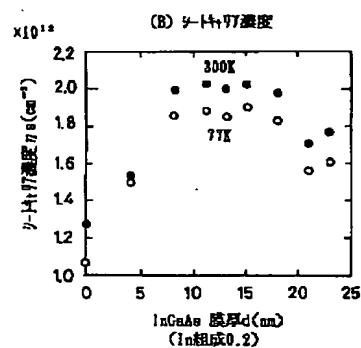
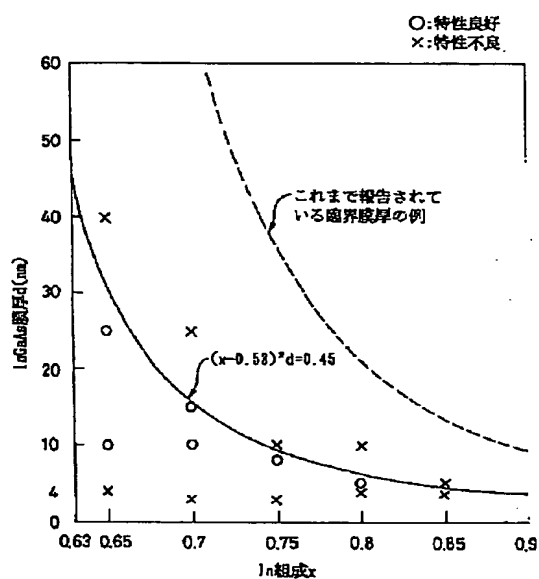
【図3】



【図4】



【図5】



BEST AVAILABLE COPY